

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-094558

(43)Date of publication of application : 07.04.1995

(51)Int.Cl.

H01L 21/66
G01R 1/073

(21)Application number : 04-161817

(71)Applicant : DENKI KAGAKU KOGYO KK
TOSHIBA CORP

(22)Date of filing : 29.05.1992

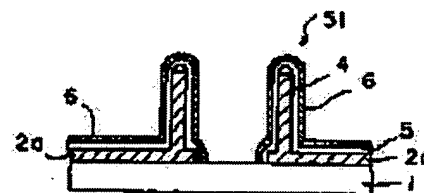
(72)Inventor : TERUI YOSHINORI
TERASAKI RYUICHI
EZAWA HIROKAZU
WATANABE TORU

(54) CIRCUIT MEASURING TERMINAL AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To allow such conductive material as cracking takes place during formation of acicular crystal to be employed as a wiring material.

CONSTITUTION: The circuit measuring terminal comprises a substrate 1 having a plane for forming a conductive single crystal film 2a in same pattern as the wiring pattern, and a nonconductive film forming plane contiguous thereto, an acicular crystal 4 formed at a desired position in the conductive film forming plane, and conductive films 5, 6 formed on the conductive film forming plane and the acicular crystal.



LEGAL STATUS

[Date of request for examination] 09.12.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 3156874

[Date of registration] 09.02.2001

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(citation 1)

Japanese Patent Laid-Open Publication No. H7-94,558

Publication Date: April 7, 1995

Application No. H4-161,817 filed May 29, 1992

Inventor: Yoshinori TERUI et al.

Applicant: Denki Kagaku Kogyo K.K. et al.

Title of the invention: Circuit Tester Terminal and Method for Making Same

(Claim 1)

A circuit tester terminal comprising a substrate (1) provided with a conductive film area (2a) having a pattern that is the same as a wiring pattern and a non-conductive area adjacent said conductive film area, a crystalline needle (4) formed on a desired location within said conductive film area, and a conductive film (5, 6) formed on said conductive film area and said crystalline needle.

(Abridgment of the description)

Fig. 16 shows a method for forming a crystalline needle in accordance with the claimed invention. Gold particles 32 are placed on a (111) surface of a monocrystalline silicon substrate 31 and heated above the melting temperature of Si-Au alloy under a gaseous silicon atmosphere containing SiH_4 or SiCl_4 . Silicon from the atmosphere grows epitaxially on the positions at which the gold particles are placed, thereby forming monocrystalline silicon needles 33. The silicon crystal of the needles 33 have a high mechanical strength and are elastically deformable over a broad range.

Referring to Figs. 2-9, a sapphire-on-silicon substrate 1 is prepared and a monocrystalline silicon film 2 is formed thereon. Dots 3 of gold are then placed by photolithography, etching or plating. Next, the silicon film 2 is patterned to form a conductive film area 2a which has the same pattern as a wiring pattern. Crystalline needles 4 are then epitaxially grown at the positions where the gold dots 3 are placed, and the surfaces of the conductive film area 2a and the needles 4 are coated with a nickel/phosphor film 5 by plating. A gold plate film 6 is then formed over the nickel/phosphor film 5 to complete a circuit tester terminal 51 (Fig. 1).

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平7-94558

(43) 公開日 平成7年(1995)4月7日

(51) Int.Cl.⁶

H 0 1 L 21/66

G 0 1 R 1/073

識別記号

庁内整理番号

B 7630-4M

E

F I

技術表示箇所

審査請求 未請求 請求項の数 5 F D (全 9 頁)

(21) 出願番号 特願平4-161817

(22) 出願日 平成4年(1992)5月29日

(71) 出願人 000003296

電気化学工業株式会社

東京都千代田区有楽町1丁目4番1号

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 照井 良典

東京都千代田区有楽町一丁目4番1号 電

気化学工業株式会社内

(72) 発明者 寺崎 隆一

東京都千代田区有楽町一丁目4番1号 電

気化学工業株式会社内

(74) 代理人 弁理士 山下 稔平

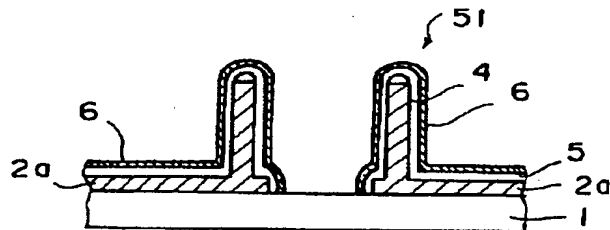
最終頁に続く

(54) 【発明の名称】 回路測定用端子およびその製造方法

(57) 【要約】

【目的】 針状結晶の形成時にクラック等が生じるような導電材料であっても、配線材料として用いることを可能とする。

【構成】 配線パターンと同一形状のパターンの単結晶膜2aの導電膜形成面と、該導電膜形成面に隣接する非導電膜形成面とを備えた基板1と、前記導電膜形成面内の所望の位置に形成された針状結晶4と、前記導電膜形成面上と前記針状結晶上とに形成された導電膜5、6と、を備える。



【特許請求の範囲】

【請求項1】 配線パターンと同一形状のパターンの導電膜形成面と該導電膜形成面に隣接された非導電膜形成面とを備えた基板と、

前記導電膜形成面内の所望の位置に形成された針状結晶と、
前記導電膜形成面上と前記針状結晶上とに形成された導電膜と、
を備えた回路測定用端子。

【請求項2】 前記導電膜形成面は前記針状結晶と同一材料で構成される請求項1記載の回路測定用端子。

【請求項3】 前記非導電膜形成面は、絶縁層を有する基板、あるいはそれ自体が絶縁物の基板の表面であり、前記導電膜形成面は前記非導電膜形成面上に形成された堆積膜の表面である請求項1又は請求項2記載の回路測定用端子。

【請求項4】 前記針状結晶は基板面の法線方向と0.1〜20度の傾きをもっている請求項1〜3いずれか記載の回路測定用端子。

【請求項5】 基板上に、配線パターンと同一形状のパターンであって導電膜を形成可能な単結晶膜を形成する工程と、
前記単結晶膜のパターン内の所定の位置に該単結晶膜と合金を形成する金属層又は前記単結晶膜よりも融点の低い金属層を形成する工程と、
前記単結晶膜を構成する1又は2以上の単結晶膜材料元素を含む雰囲気内において、前記単結晶膜上の前記金属層により形成される液滴内に前記単結晶膜材料元素を取込み、前記単結晶膜のパターン内に前記単結晶膜材料元素からなる針状結晶を形成する工程と、
前記単結晶膜上と前記針状結晶上とを基板面に対し選択的にメッキすることにより導電膜を形成する工程と、
を備えた回路測定用端子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、例えば半導体集積回路の特性を測定するため、半導体集積回路のパッドに接触される回路測定用端子およびその製造方法に関するものである。

【0002】

【従来の技術】半導体集積回路は、製造段階において不良品除去のため度々電気的特性を測定する必要がある。例えばLSIの場合、ウェハ内に回路素子を製造した段階で、各チップを構成する回路素子の動作をテストするための測定が行われ、この後、ウェハから切取られたチップをパッケージに収容したり、TABテープに実装した状態で、再度動作をテストするための測定が行われる。このうち、前者は、通常タングステン等の金属によって構成された針状の測定端子を有するプローブカードが使用される。また、後者は、アウターリードが挿入

されるソケットを使用することが多いが、TABの場合は、プローブカードが使用されることがある。

【0003】図19は従来のプローブカードのLSIとの接続状態を示す説明図である。図20は図19のX-X線断面を示す説明図である。両図に示すように、プローブカード10は、中央部に開口部11aを有するカード基板11と、このカード基板11の裏面に設けられた複数の配線パターン12と、これら配線パターン12の端部に接続され、且つ図示せぬ樹脂によってカード基板11に固定された細い金属製の針13とを有している。これら針13の先端は、例えばウェハ14に形成されたLSIチップ15のパッド16に接触され、この状態で所要の測定が行われる。

【0004】

【発明が解決しようとする課題】ところで、LSIの高密度化に伴い、前記パッド16のサイズは小さくなり、パッド相互の間隔が狭くなり、またパッド16の数も増大している（特に論理デバイスではこの傾向が顕著である。）。従来のプローブカードでは、これらの状況に対応できなくなりつつあり、以下に示す問題が生じていた。

【0005】① パッドのサイズが小さくなった場合の問題点

従来のプローブカード10では、針13が鋭角的に傾斜してパッド16の表面に接触しているのでプローブカード10に荷重を加えるとパッド上で針13が移動する。一方、パッド16は通常アルミニウム合金によって構成され、その表面には酸化膜ができるため、プローブカード10に荷重を加え、針13で該酸化膜を擦って除去している。しかし、パッドのサイズが小さくなった場合、針13で酸化膜を擦る際、図21、図22に示すように針13がパッド16からはみ出して、表面保護用の絶縁膜17を破ることがある。

【0006】② パッドの間隔が狭くなった場合の問題点

この場合、プローブカード10の針13の位置精度を維持できなくなる。すなわち、通常、プローブカード10の針13の位置は樹脂によって配線パターン12に固定され、この後、針13の相互間隔が微調整される。しかし、針の先端の径は30μm程度であり、パッド16のピッチが80μmであると、針の平均間隔は50μmとなり、製造が困難となりつつある。

【0007】③ パッドの数が増加した場合の問題点

近年、論理デバイスでは300〜500個のパッドを有するものも珍しくなくなり、パッドの数が増加が顕著である。図19、図20に示す従来のプローブカードは、針13が平面状に並べられており、針13の間隔はパッド16に接触する先端部から配線パターン12に接続される端部に向けて次第に広げられている。これは、配線パターン12の相互間隔を確保し、外部へ信号を取出す

3

ための配線の接続を容易にするためである。しかし、パッドの数が増加した場合、配線パターン12の相互間隔を十分確保することが困難となる。

【0008】上記のパッドの寸法等に付随する問題点に加えて、次のような問題もある。

【0009】④ 樹脂とLSIの基板との熱膨張係数の違いによる問題点

信頼性試験等において、高温の状態でLSIをテストすることが増えつつある。この場合、プローブカード10もある程度高温となるが、LSIの基板としてのシリコンウェハ14と、プローブカード10のカード基板11を構成する例えばエポキシ樹脂は、熱膨張係数が異なっている。このため、針13の位置とパッド16の位置とが大きくずれ、測定が困難となることがあった。

【0010】このように、従来のプローブカードでは、狭ピッチ、小サイズ、多数個のパッド、温度条件の変化に対応することは困難であった。

【0011】本発明は、上記課題を解決するものであり、その目的とするところは、パッドが狭ピッチ、小サイズとなったり、パッド数が増大した場合においても、確実に接触することが可能な回路測定用端子およびその製造方法を提供しようとするものである。

【0012】また本発明の目的は、温度条件が変化した場合においても、確実に接触することが可能な回路測定用端子およびその製造方法を提供しようとするものである。

【0013】

【課題を解決するための手段】本願第1の発明の回路測定用端子は、配線パターンと同一形状のパターンの導電膜形成面と該導電膜形成面に隣接された非導電膜形成面とを備えた基板と、前記導電膜形成面内の所望の位置に形成された針状結晶と、前記導電膜形成面上と前記針状結晶上とに形成された導電膜と、を備えたことを特徴とする。

【0014】本願第2の発明の回路測定用端子は、上記本願第1の発明において、前記導電膜形成面は前記針状結晶と同一材料で構成されることを特徴とする。

【0015】本願第3の発明の回路測定用端子は、上記本願第1又は第2の発明において、前記非導電膜形成面は、絶縁層を有する基板、あるいはそれ自体が絶縁物の基板の表面であり、前記導電膜形成面は前記非導電膜形成面上に形成された堆積膜の表面であることを特徴とする。

【0016】本願第4の発明の回路測定用端子は、上記本願第1～第3のいずれかの発明において、前記針状結晶は基板面の法線方向と0.1～20度の傾きをもっていることを特徴とする。

【0017】本願第5の発明の回路測定用端子の製造方法は、基板上に、配線パターンと同一形状のパターンであって導電膜を形成可能な単結晶膜を形成する工程と、

4

前記単結晶膜のパターン内の所定の位置に該単結晶膜と合金を形成する金属層又は前記単結晶層よりも融点の低い金属層を形成する工程と、前記単結晶膜を構成する1又は2以上の単結晶膜材料元素を含む雰囲気内において、前記単結晶膜上の前記金属層により形成される液滴内に前記単結晶膜材料元素を取込み、前記単結晶膜のパターン内に前記単結晶膜材料元素からなる針状結晶を形成する工程と、前記単結晶膜上と前記針状結晶上とを基板面に対し選択的にメッキすることにより導電膜を形成する工程と、を備えたことを特徴とする。

【0018】なお、本願において、導電膜形成面、非導電膜形成面とは、メッキ等の導電膜形成処理において、その上に、導電膜が形成される面、導電膜が形成されない面を示すものである。

【0019】

【作用】本発明は、配線パターンと同一形状のパターンの導電膜形成面と該導電膜形成面に隣接する非導電膜形成面とを備えた基板の該導電膜形成面内に、針状結晶を形成し、その後前記導電膜形成面上と前記針状結晶上とに導電膜（導電膜形成面上に形成される導電膜は配線となる）を形成することにより、回路測定用端子を形成している。

【0020】本発明によらず、例えば、予め基板表面に金属の配線パターンを形成した後、針状結晶を結晶を形成する場合には、針状結晶の形成温度が高温の場合、配線金属にクラックが入ったり、著しい場合には剥離することがある。従って、針状結晶材料と配線材料とを選定する場合に、クラック等が生じない材料の組み合わせを考慮する必要がある。本発明によれば、針状結晶の形成時にクラック等が生じない材料で導電膜形成面を設け、この導電膜形成面内の所望の位置に針状結晶を形成した後、自己整合的に配線となる導電膜を導電膜形成面上に形成するので、針状結晶の形成時にクラック等が生じするような導電材料であっても、配線材料として用いることができる。

【0021】なお、前記導電膜形成面と前記針状結晶とはクラック等が生じない材料の組み合わせであれば、異種材料であってもよいが、同一材料とすれば、熱膨張係数等の特性を完全に一致させることができる。

【0022】また、本発明において、非導電膜形成面を、絶縁層を有する基板、あるいはそれ自体が絶縁物の基板の表面とし、前記導電膜形成面を前記非導電膜形成面上に形成された堆積膜の表面として、針状結晶を成長させれば、針状結晶を成長させる基板面と電気的に絶縁して回路測定用端子を形成できる。特に複数の針状結晶を形成した場合に針状結晶間の電氣的絶縁を図ることができる。

【0023】さらに、これら針状結晶や配線パターン等は、LSIの微細加工プロセスに用いられるリソグラフやドライエッチング等の技術を使用して形成できるた

5

め、従来のプローブカードに比べて飛躍的に微細化することができる。したがって、パッドのサイズが小さくなったり、パッドの数が増大したり、パッド相互のピッチが狭まった場合においても十分対応できるものである。

【0024】また、本発明において、針状結晶を基板面の法線方向に対して一定角度に傾ければ、基板に荷重を掛けても、常に針状結晶が一定方向に弾性変形し、端子どうしの接触／短絡が起こらないようにすることができる。このような構成は、端子どうしの間隔が狭い場合、端子が長い場合に特に有効である。即ち、端子どうしの間隔が狭い、端子が長い等の場合には、図14(a)のように基板21に針状結晶23を垂直に成長させた回路測定用端子では、図14(b)のように基板21に垂直に圧力を加えると、針状結晶23が一定方向に弾性変形せず、図中A部のように端子どうしが接触することがある。しかし、図15(a)のように基板21の法線方向に対して一定角度傾けて、針状結晶23を成長させた回路測定用端子では、図15(b)のように基板21に垂直に圧力を加えると、針状結晶23が一定方向に弾性変形し、端子どうしが接触／短絡することはない。なおより具体的には、針状結晶を基板面の法線方向に対して傾ける角度 θ は0.1度～20度の範囲で設定することが望ましい。角度 θ が0.1度より小さいと、基板に成長した針状結晶が互いに異なった方向に変形する場合があります、角度 θ が20度を超えると、針状結晶に対して斜め方向に加わる力が大きくなり、必要な接触抵抗を得る前に針状結晶が折れてしまう場合があるからである。

【0025】

【実施例】以下、本発明の一実施例について図面を参照して説明する。

【0026】先ず、本願発明の理解を容易にするために、本発明の背景技術となる、基板の所定の位置に針状結晶を形成する方法について説明する。この方法は、

「R. S. Wagner and W. C. Ellis: Appl. Phys. Letters 4 (1964) 89」に開示されているものである。図16はかかる針状結晶の形成方法を説明するための図である。

【0027】図16(a)に示すように、表面が(111)面であるシリコン(Si)単結晶31の所定の位置に金(Au)粒子32を載置する。これをSiH₄、SiCl₄等のシリコンを含むガスの雰囲気中でSi-Au合金の融点以上に加熱する。Si-Au合金はその融点が高いため、金粒子32は載置された部分にこの合金の液滴ができる。このとき、ガスの熱分解により、シリコンが雰囲気中より取込まれるが、液状体は他の固体状態に比べてシリコン原子を取込み易く、Si-Au合金の液滴中には次第にシリコンが過剰となる。この過剰シリコンはシリコン基板31上にエピタキシャル成長し、同図(b)に示すように、[111]軸方向に沿って針状結晶33が成長する。この針状結晶33は単結晶であり、基板31の結晶方向と同一方位を有する。また、針

6

状結晶33の直径は液滴の直径とほぼ同一である。

【0028】本発明は、上記シリコンの針状結晶を形成する方法を基にしたものである。以下、本発明に係る回路測定用端子の構成及びその製造方法について説明する。

【0029】図1は本発明の一実施例の回路測定用端子の概略的断面図である。

【0030】同図において、51は回路測定用端子を示し、1は絶縁面(非導電膜形成面)を構成するサファイア(α -Al₂O₃)基板、2aはその表面が導電膜形成面となるSi単結晶膜、4はSiの針状結晶、5はSiの針状結晶4及びSi単結晶膜2a上に設けられるニッケル・リン膜、6は配線抵抗を小さくするために設けられる金メッキ膜である。サファイア基板1は絶縁性を有するとともに、その表面に単結晶Siをエピタキシャル成長することができるものである。サファイア基板1上に成長されるSiの針状結晶4は、サファイア基板1と電気的に絶縁され、針状結晶4上に設けられたニッケル・リン膜5及び金メッキ膜6で導電膜を構成する。導電膜形成面たるSi単結晶膜2a上に形成されるニッケル・リン膜5及び金メッキ膜6は配線部となる。

【0031】ここで、本実施例では、導電膜形成面と針状結晶とは同一材料のSiで構成しているが、クラック、剥離等が生じなければ異種材料としてもよい。

【0032】なお、本実施例では絶縁面に単結晶膜を形成し、この単結晶膜上に針状結晶を成長させており、SOI技術を前提とする。本実施例ではSOI技術として、サファイア、スピネル(MgAl₂O₃)等の絶縁性を有する単結晶基板の表面に単結晶Siを形成する方法を用いているが、その他の方法として、単結晶Si基板に酸素イオンを打ち込んで単結晶領域直下に酸化領域を形成する方法(SIMOX; Proc. ISIT '83 1983 p. 1855)、表面酸化された単結晶Si支持基体の酸化面に単結晶Si基板を熱処理により貼り合わせる方法(Digest of the IEEE Int. Elec. Devices Meeting (IEDM) 1985 p. 684)等を用いることができる。本実施例において用いられるSOI技術は、絶縁面上の単結晶膜に所定の方位で針状結晶を成長させるため、少なくとも針状結晶の径程度の大きさで単結晶性が維持できるような方法が望ましい。

【0033】また、端子どうしの間隔が狭い、端子が長い等により、端子どうしが接触する可能性がある場合には、既に述べたように針状結晶を基板面の法線方向に対して一定角度(0.1度～20度の範囲が望ましい)に傾けて形成するのが望ましい。なお、Si単結晶を、例えばサファイア基板面に対して、一定角度傾けて成長させるには、サファイアの方角(0001)あるいは、

【0034】

【数1】

50

7
(1124)

を基板面に対して数度程度傾けて切り出し、その切り出し面にSi単結晶を成長させればよい。

【0035】以下、上記実施例の回路測定用端子の製造方法について説明する。なお、ここでは、サファイア上に単結晶Siを形成した基板、いわゆるSOS基板を用い、基板面（サファイア面）に対して針状結晶を垂直に成長させた場合について説明する。

【0036】図2～図9は、上記実施例の回路測定用端子の製造工程図である。

【0037】まず、図2及び図3に示すように、サファイア（ $\alpha\text{-Al}_2\text{O}_3$ ）基板1を用意して、気相成長装置の反応管内に置いて、約1000℃に加熱し、モノシランと水素との混合ガスを流し、サファイア基板面1上にSi単結晶膜2を形成する。

【0038】次に、図4に示すように、このSi単結晶薄膜2上にフォトリソグラフ法、エッチング法、又はメッキ法等の方法で、金ドット3を形成する。なお、この金ドット3の位置に後で述べる工程で針状結晶が形成される。成長する針状結晶の径は金ドット3の体積に依存する。即ち、金ドット3のドット径か膜厚かを調整すれば、針状結晶の径を制御することができる。従って、成長させようとする針状結晶の径により金ドット3の大きさと厚さを適宜設定する必要がある。ただし、（Auの膜厚）／（ドット径）の比は大きい方が望ましい。これは（Auの膜厚）／（ドット径）の比が小さいと、後述するAu-Siの液滴形成時に液滴の表面張力により複数の液滴に分割し、結果的に1個のドットから複数の針状結晶が生成されることになるからである。

【0039】次に、図5及び図6に示すように、フォトリソグラフ法とエッチングによりサファイア基板1上のシリコン単結晶膜2をパターン化してシリコン単結晶膜2aを形成する。このシリコン単結晶膜2aのパターンは外部と電気的に接続する配線パターンと同一の形状にしておく。

【0040】次に図7に示すように、パターン化した基板を反応管内で、Si-Au合金の共晶点以上に加熱（ここでは約950℃で加熱）し、四塩化珪素と水素の混合ガスを流すと金ドット3の位置に針状結晶4が形成される。この後、図8に示すように以下の組成のメッキ液を用いて、

水	1 liter
$\text{NiCl}_2 \cdot 6\text{H}_2\text{O}$	30 g
$\text{NaH}_2\text{PO}_4 \cdot \text{H}_2\text{O}$	15 g
$(\text{NH}_4)_2\text{HC}_6\text{H}_5\text{O}_7$	65 g
NH_4Cl	50 g
NH_4OH	ph=8.0～8.5 液温90℃

無電解メッキを行うとシリコン単結晶膜2aの表面（導電膜形成面）と針状結晶4の表面とがニッケル・リン膜

5で覆われる。一方、サファイア基板1が露出している部分（非導電膜形成面）はニッケル・リンは析出しな

い。更に図9に示すように、配線抵抗を小さくするためにニッケル・リン膜5上に電気メッキにより金メッキ膜6を形成し、回路測定用端子51を形成した。

【0041】上記実施例によれば、回路測定用端子51を、LSIの微細加工プロセスに用いられるリソグラフ、ドライエッチング等の技術を使用して形成できるため、従来のプローブカードに比べて飛躍的に微細化することができる。ここで、本実施例で度々行われるフォトリソグラフ法は、針状結晶の形成以前に形成されるので、ほぼ平坦な基板面に対して行われる。したがって、パッドのサイズが小さくなったり、パッドの数が増えたり、パッド相互のピッチが狭まった場合においても十分な精度で回路測定用端子を作製することができる。

【0042】さて、前述したように、従来のプローブカードは、針によってパッドの表面を斜めから擦ることにより、表面の自然酸化膜を破っていた。この実施例において、回路測定用端子51の先端は、Si-Au合金に被覆された金等の導電材料である。この回路測定用端子51の先端を、図17及び図18に示すように、アルミニウム合金製のパッド52の表面に当接し、基板41（サファイア基板1に対応する）を加圧すると、回路測定用端子51によって自然酸化膜53が破かれ、回路測定用端子51とパッド52とが接触される。

【0043】上記のように基板41を加圧すると、回路測定用端子51は弾性変化して湾曲する。このとき回路測定用端子51を基板41の表面の法線方向に対して所定に角度、例えば、5度傾ければ、図15に示したように回路測定用端子51は一定方向に弾性変形し、互いに接触／短絡等は起こらない。また、この回路測定用端子51を構成する針状結晶は殆ど結晶欠陥のない完全結晶であるため機械的強度が強く、弾性変形範囲が大きい。具体的には、直径が30 μm 、長さが1mmの回路測定用端子51に対して、その軸方向に8gfの加重を加えた場合、図18に示す反り量Lは400 μm であった。このように、回路測定用端子51は機械的強度が強いため、回路測定用端子51によってパッド52の自然酸化膜53を確実に破ることができるとともに、互いに接触／短絡等は起こらず、多数回の使用にも絶え得るものである。

【0044】尚、基板41全体を超音波を印加し、回路測定用端子51を振動させることにより、パッド52の自然酸化膜53を一層有効に除去することができる。

【0045】次に、導電膜形成面と針状結晶とを異種材料とした場合の製造方法について説明する。

【0046】この場合は図10～図13に示す製造工程を用いることができる。

【0047】即ち、図2及び図3に示したように、サファイア基板面1上にSi単結晶薄膜2を形成した後、図

10に示すように、Si単結晶薄膜2上にAu薄膜7を蒸着により形成し、更にレジスト8をスピン・コート法により塗布する。次に、一般的なフォトリソグラフィ法の手順に従い露光、及び現像を行ないレジスト8を所望のパターンに形成し、更にレジストマスク8で覆われていない部分のAu薄膜7、Si単結晶薄膜2をエッチングにより除去しサファイア基板1面を露出させる。

【0048】次に、図11に示すように、導電膜形成面を構成する堆積膜9を全面（サファイア基板1の表面及びレジストマスク8の表面）に蒸着し、図12に示すように、リフトオフ法により堆積膜9に孔を開ける。具体的には、レジスト剥離液に浸漬することによりレジストマスク8は溶解し、その上の堆積膜9も同時に取り除かれ、レジストマスク8の形状に添った孔が得られる（ドット状のAu薄膜7が露出する）。次に図13に示すように再度フォトリソグラフィ法とエッチング法を用いて堆積膜9を所望のパターンに加工して堆積膜9a（導電膜形成面となる）とする。

【0049】その後、図7～図9に示した工程により、針状結晶4を成長させ、更にサファイア基板面に対して堆積膜9aの面のみ無電解メッキ等により形成される導電膜を形成し、その上に電気メッキにより金メッキ膜6を形成して回路測定用端子を形成する。

【0050】以上説明した実施例は絶縁基板上に針状結晶を形成しているが、端子間の絶縁性を確保できる基板であれば、半導体等の他の材料の基板を用いても良い。例えば、基板をSiとした場合の実施例について以下に説明する。

【0051】図23(a)に示すように、Si基板を用いる場合は、高抵抗率のSi基板60に非導電膜形成面となる堆積膜61、導電膜形成面（パターンニングされた面）となる堆積膜62をそれぞれ積層し、針状結晶を成長させる部分のみ開口（開口部63）してSi基板60のSi面を露出させ、このSi面に図23(b)に示すように金薄膜64を形成して、開口部63の位置にSi針状結晶を形成した後、導電膜形成面（堆積膜62の面上）上とSi針状結晶上に導電膜を形成すればよい。

【0052】また図24(a)、(b)に示すように、高抵抗率のSi基板70に非導電膜形成面となる堆積膜71を積層し、導電膜形成面となる部分及び針状結晶を成長させる部分のみ開口してSi面70'（Si基板70の一部の面）を露出させ、針状結晶を成長させる部分のみに金ドット74を形成し、この金ドット74を基にしてSi針状結晶を形成した後、導電膜形成面（Si面70'）上とSi針状結晶上に導電膜を形成してもよい。なお、図24(a)は図24(b)のX-X線断面を示す図である。

【0053】また、導電膜形成面がシリコンの場合、他に利用できる無電解メッキとしてはCu(NO₃)₂ 10g、HF 50cc、水 500ccによる銅の無電解メッキがある。

【0054】また、基板上に配置される金属は、基板上で液滴を形成するような金属、即ち、基板と合金を形成する金属又は前記基板よりも融点の低い金属であればよい。例えば、本実施例において、シリコンと合金を作るための金属は、金に限定されるものではなく、低融点合金となる物であればよい。

【0055】さらに、針状結晶の表面には配線抵抗を下げるために金をコートしたが、このコート材料は金に限定されるものではなく、他の導電材料でも可能である。但し、酸化物ができにくい貴金属が望ましい。

【0056】以上説明した実施例においては、回路測定用端子によって半導体集積回路の動作特性を測定する場合について説明したが、本発明の回路測定用端子は半導体集積回路に限定されるものではなく、他の回路の測定にも適用可能である。

【0057】

【発明の効果】以上、詳述したように本発明によれば、針状結晶の形成時にもクラック等が生じない材料で導電膜形成面を設け、この導電膜形成面内の所望の位置に針状結晶を形成した後に、自己整合的に配線となる導電膜を形成するので、針状結晶の形成時にクラック等が生じることのできる導電材料であっても、配線材料として用いることができ材料選択の範囲を拡大することができる。

【0058】また、本発明によれば、パッドが狭ピッチ、小サイズとなり、且つ、パッド数が増大した場合においても、確実に接触することが可能な回路測定用端子およびその製造方法を提供できる。

【0059】また本発明によれば、針状結晶を成長させる基体面と電氣的に絶縁して回路測定用端子を形成でき、特に複数の針状結晶を形成した場合に針状結晶間の電氣的絶縁を図ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例の回路測定用端子の概略的断面図である。

【図2】上記実施例の製造工程を示す概略的断面図である。

【図3】上記実施例の製造工程を示す概略的断面図である。

【図4】上記実施例の製造工程を示す概略的断面図である。

【図5】上記実施例の製造工程を示す概略的断面図である。

【図6】上記実施例の製造工程を示す概略的平面図である。

【図7】上記実施例の製造工程を示す概略的断面図である。

【図8】上記実施例の製造工程を示す概略的断面図である。

【図9】上記実施例の製造工程を示す概略的断面図である。

11

【図10】本発明の他の実施例の回路測定用端子の製造工程を示す概略的断面図である。

【図11】本発明の他の実施例の回路測定用端子の製造工程を示す概略的断面図である。

【図12】本発明の他の実施例の回路測定用端子の製造工程を示す概略的断面図である。

【図13】本発明の他の実施例の回路測定用端子の製造工程を示す概略的断面図である。

【図14】本発明により、針状結晶を一定角度に傾けて成長させた場合の回路測定用端子の説明図である。

【図15】針状結晶を垂直に成長させた場合の回路測定用端子の説明図である。

【図16】本発明の基になる針状結晶の形成方法を説明するための図である。

【図17】本実施例に係わる回路測定用端子とパッドの接触状態を示す断面図である。

【図18】本実施例に係わる回路測定用端子をパッドに接触し加圧した状態を示す断面図である。

【図19】従来のプローブカードを示す平面図である。

【図20】図19のX-X線に沿った断面図である。

12

【図21】従来の針とパッドの関係を説明するために示す図である。

【図22】図21の断面図である。

【図23】基板をSiとした場合の実施例の製造工程を示す概略的断面図、及び平面図である。

【図24】基板をSiとした場合の他の実施例の製造工程を示す概略的断面図、及び平面図である。

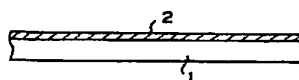
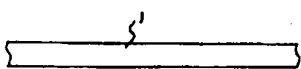
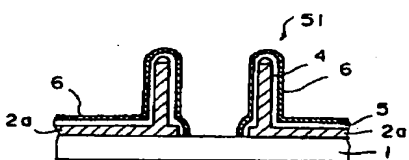
【符号の説明】

- 1 サファイア基板
- 2 Si単結晶薄膜
- 2a パターン化されたSi単結晶薄膜
- 3 金ドット
- 4 Siの針状結晶
- 5 ニッケル・リン膜
- 6 金メッキ膜
- 21, 41 基板
- 23 針状結晶
- 51 回路測定用端子
- 52 パッド

【図1】

【図2】

【図3】

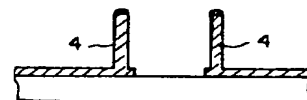
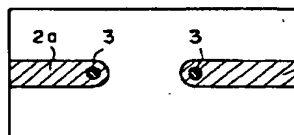
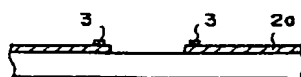
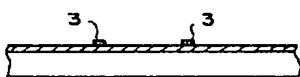


【図6】

【図7】

【図4】

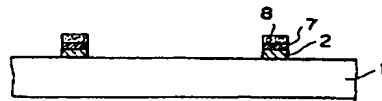
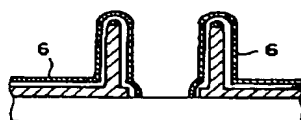
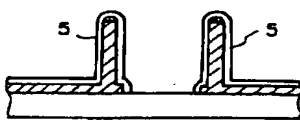
【図5】



【図10】

【図8】

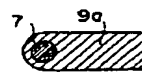
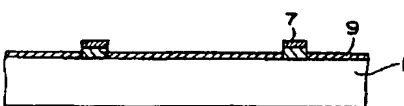
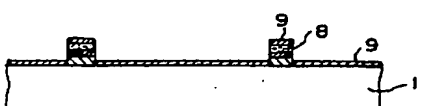
【図9】



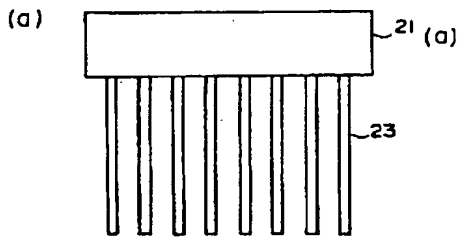
【図13】

【図11】

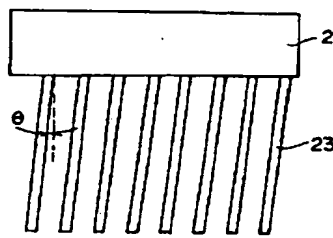
【図12】



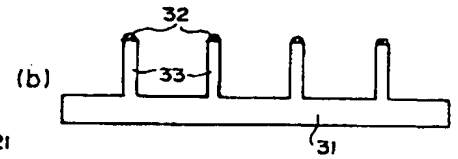
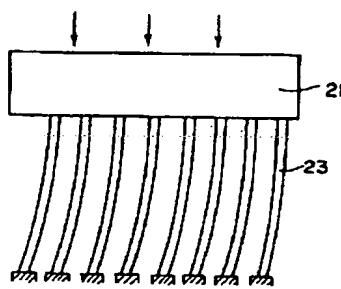
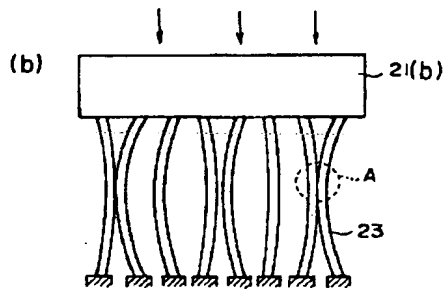
【図14】



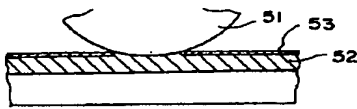
【図15】



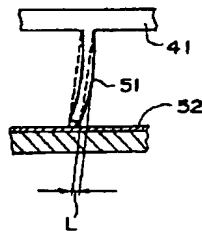
【図16】



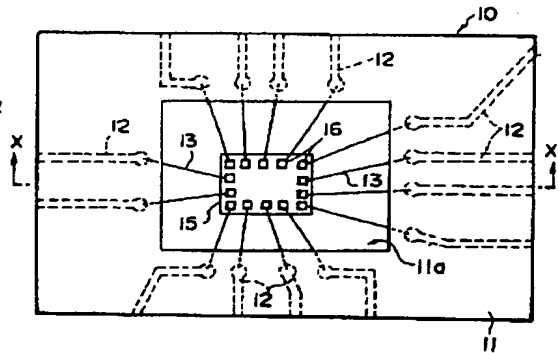
【図17】



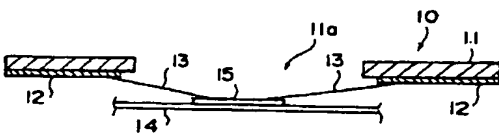
【図18】



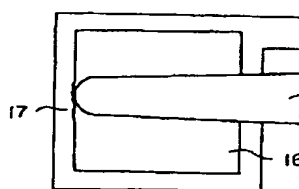
【図19】



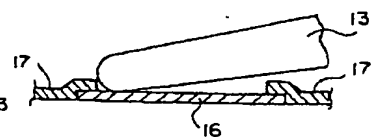
【図20】



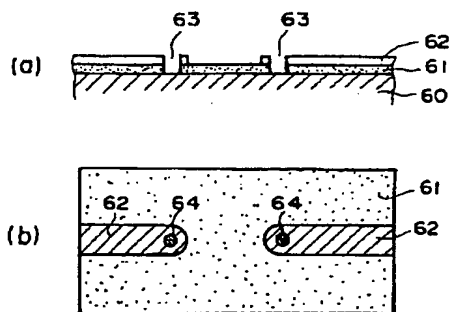
【図21】



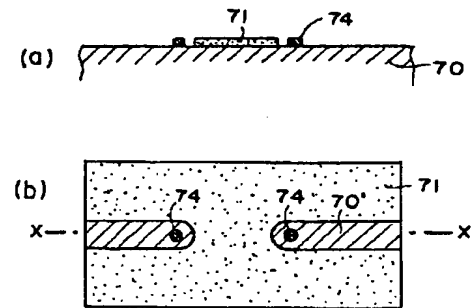
【図22】



【図 23】



【図 24】



フロントページの続き

(72)発明者 江澤 弘和
神奈川県川崎市幸区堀川町72番地 株式会
社東芝堀川町工場内

(72)発明者 渡辺 徹
神奈川県川崎市幸区堀川町72番地 株式会
社東芝堀川町工場内